

München, den 19. Juni 1995

☎ (089) 21 95 - 3002

Aktenzeichen: P 32 50 124.2-53

Anmelder: Hitachi Ltd.

Deutsches Patentamt - 80297 MünchenPatentanwälte
Dipl.-Ing. P. Strehl u. Partner
Postfach 22 14 55

80504 München

Bitte Aktenzeichen und Anmelder bei
allen Eingaben und Zahlungen angeben!

Ihr Zeichen: DEA - 32981

Zutreffendes ist angekreuzt ☒ und/oder ausgefüllt!Fr: 28. Okt 95
Bf: 28. Sept 85

Prüfungsantrag, wirksam gestellt am 5. April 1994

Erhalten
28. JUN. 1995
Streni et al.

Eingabe vom 5. April 1994

eingegangen am 5. April 1994

Die Prüfung der oben genannten Patentanmeldung hat zu dem nachstehenden Ergebnis geführt.

Zur Äußerung wird eine Frist von

vier Monaten

gewährt, die mit der Zustellung beginnt.

Für Unterlagen, die der Äußerung gegebenenfalls beigelegt werden (z.B. Patentansprüche, Beschreibung, Beschreibungsteile, Zeichnungen), sind je zwei Ausfertigungen auf gesonderten Blättern erforderlich. Die Äußerung selbst wird nur in einfacher Ausfertigung benötigt.

Werden die Patentansprüche, die Beschreibung oder die Zeichnungen im Laufe des Verfahrens geändert, so hat der Anmelder, sofern die Änderungen nicht vom Patentamt vorgeschlagen sind, im einzelnen anzugeben, an welcher Stelle die in den neuen Unterlagen beschriebenen Erfindungsmerkmale in den ursprünglichen Unterlagen offenbart sind.

Hinweis zur Einsparung von Druckkosten:

Es wird gebeten, kleinere Änderungen möglichst handschriftlich in den der Offenlegungsschrift zugrunde gelegten Unterlagen unter Belassung der Seitennumerierung vorzunehmen.

Nur bei umfangreicheren Änderungen sollten Seiten unter Belassung der Seitennumerierung neu geschrieben und beim Erfordernis von Ergänzungsseiten diese mit der Nummer der vorangehenden Seite, ergänzt durch "a", "b" usw. bezeichnet werden.

☒ In diesem Bescheid sind folgende Entgegenhaltungen erstmalig genannt (bei deren Numerierung gilt diese auch für das weitere Verfahren):**Hinweis auf die Möglichkeit der Gebrauchsmusterabzweigung**

Der Anmelder einer nach dem 1. Januar 1987 mit Wirkung für die Bundesrepublik Deutschland eingereichten Patentanmeldung kann eine Gebrauchsmusteranmeldung, die den gleichen Gegenstand betrifft, einreichen und gleichzeitig den Anmeldetag der früheren Patentanmeldung in Anspruch nehmen. Diese Abzweigung (§ 5 Gebrauchsmustergesetz) ist bis zum Ablauf von zwei Monaten möglich, in dem die Patentanmeldung durch rechtskräftige Zurückweisung, freiwillige Rücknahme oder Rücknahmefiktion erledigt, ein Einspruchsverfahren abgeschlossen oder - im Falle der Erteilung des Patents - die Frist für die Beschwerde gegen den Erteilungsbeschluss fruchtlos verstrichen ist. Ausführliche Informationen über die Erfordernisse einer Gebrauchsmusteranmeldung, einschließlich der Abzweigung, enthält das Merkblatt für Gebrauchsmusteranmelder (G 6181), das kostenlos beim Patentamt und den Patentauslegestellen erhältlich ist.



DEUTSCHES
PATENTAMT

Offenlegungsschrift
DE 30 35 260 A 1

⑤① Int.-Cl. 3:
G 11 C 11/24
G 11 C 7/00

②① Akterzeichen:
②② Anmeldetag:
④③ Offenlegungstag:

P 30 35 260.4-53
18. 9. 80
2. 4. 81

③① Unionspriorität: ③② ③③ ③①
19.09.79 JP P119403-79

⑦① Anmelder:
Hitachi, Ltd., Tokyo, JP

⑦④ Vertreter:
Beetz sen., R., Dipl.-Ing.; Lamprecht, K., Dipl.-Ing.; Beetz
jun., R., Dipl.-Ing. Dr.-Ing., Pat.-Anw.; Heidrich, U.,
Dipl.-Phys. Dr.jur., Pat.- u. Rechtsanw.; Timpe, W.,
Dipl.-Ing.; Siegfried, J., Dipl.-Ing.; Schmitt-Fumian, W.,
Privatdozent, Dipl.-Chem. Dr.rer.nat., Pat.-Anw., 8000
München

⑦② Erfinder:
Masuda, Hiroo, Kodaira, JP; Shimohigashi, Katsuhiro,
Musashimurayama, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Dynamischer monolithischer Speicher

DE 30 35 260 A 1

DE 30 35 260 A 1

81-31.427P

3035260

P a t e n t a n s p r ü c h e

- ① Dynamischer monolithischer Speicher mit
- mehreren Daten-Leitungen,
 - mehreren Wort-Leitungen, und
 - mehreren Speicher-Zellen an den Schnittstellen zwischen den Daten-Leitungen und den Wort-Leitungen, .
- d a d u r c h g e k e n n z e i c h n e t ,
- daß jede Speicher-Zelle (MC) aufweist:
 - eine Kapazität (C_4) zum Speichern einer ersten (0 V) oder einer zweiten (V_{CC}) Spannung und
 - einen Feldeffekt-Transistor (Q_4), der
 - die Kapazität (C_4) mit der zugehörigen Daten-Leitung (D_0, \bar{D}_0) verbindet und
 - mit seinen Elektroden folgendermaßen angeschlossen ist:
 - einer Gate-Elektrode an die entsprechende Wort-Leitung ($W_0, W_{63}, \bar{W}_0, \bar{W}_{63}$),
 - einer ersten Elektrode an die entsprechende Daten-Leitung (D_0, \bar{D}_0) und
 - einer zweiten Elektrode an die Kapazität (C_4);
 - daß eine Vorauflade-Einrichtung vorgesehen ist, die vor dem Lesen der Speicher-Zelle (MC) die Daten-Leitungen (D_0, \bar{D}_0) auf eine dritte vorbestimmte Spannung ($\phi_p, \bar{\phi}_p$) auflädt,
 - die mit der ersten (0 V) oder der zweiten Spannung (V_{CC}) so zusammenwirkt, daß die erste und die zweite Elektrode als Source- bzw. Drain-Elektrode betreibbar sind; und
 - daß ein Treiber (10) zum Anlegen einer vorbestimmten Ansteuer-Spannung (ϕ_x) an die Wort-Leitung ($W_0, W_{63}, \bar{W}_0, \bar{W}_{63}$) vorgesehen ist,
 - wobei die Differenz zwischen der Ansteuer-Spannung und der dritten Spannung ($\phi_p, \bar{\phi}_p$) einen vorbestimmten Schwellenwert des Transistors (Q_4) übersteigt
- (Fig. 1, 3).

130014/1302

2. Speicher nach Anspruch 1,
gekennzeichnet durch

- mehrere Pseudo(Blind, Schein)-Wort-Leitungen (W_D, \bar{W}_D);
- mehrere Pseudo(Blind, Schein)-Zellen (DMC), die
 - an den Schnittstellen zwischen den Pseudo-Wort-Leitungen (W_D, \bar{W}_D) und den Daten-Leitungen (D_0, \bar{D}_0) vorgesehen sind sowie
 - jeweils aufweisen:
 - eine Kapazität (C_6) mit dem halben Wert der Kapazität (C_4) der Speicher-Zellen (MC) und
 - einen Feldeffekt-Transistor (Q_6) zum Anschluß der Kapazität (C_6) an die entsprechende Daten-Leitung (D_0, \bar{D}_0), und
 - ausgelesen werden, wenn aus der mit der Daten-Leitung (D_0, \bar{D}_0) verbundenen Speicher-Zelle (MC) ausgelesen wird, um die Spannung auf der Daten-Leitung (D_0, \bar{D}_0) in einen Zwischenwert zwischen zwei möglichen Spannungen (Fig. 3e) auf der Daten-Leitung (D_0, \bar{D}_0) zu ändern; und
- ein Flipflop (30), das
 - an ein Paar Daten-Leitungen der mehreren Daten-Leitungen (D_0, \bar{D}_0) angeschlossen ist, um die Spannungsdifferenz zwischen dem Paar Daten-Leitungen zu verstärken, und
 - im wesentlichen ein Gegenstück des Paares Daten-Leitungen auf der dritten Spannung ($\phi_P, \bar{\phi}_P$) hält und die Spannung am anderen Gegenstück in den anderen Wert ändert

(Fig. 1).

3035260

3. Speicher nach Anspruch 1 oder 2,
dadurch gekennzeichnet,
 - daß der Transistor (Q_4)
 - ein N-Kanal-Feldeffekt-Transistor ist, und
 - daß die dritte Spannung ($\phi_p, \bar{\phi}_p$)
 - nicht höher als die zweite und nicht höher als die dritte Spannung ist.
4. Speicher nach Anspruch 1 oder 2,
dadurch gekennzeichnet,
 - daß der Transistor (Q_4)
 - ein P-Kanal-Feldeffekt-Transistor ist, und
 - daß die dritte Spannung
 - nicht niedriger als die erste und nicht niedriger als die zweite Spannung ist.
5. Speicher nach Anspruch 1 oder 2,
dadurch gekennzeichnet,
 - daß der Treiber (10) aufweist:
 - eine Einrichtung zum Aufladen aller Wort-Leitungen ($W_0, W_{63}, \bar{W}_0, \bar{W}_{63}$) auf die Nichtansteuer-Spannung vor Ansteuern der Speicher-Zelle, und
 - eine Einrichtung zum Entladen - nach Ansteuerung der Speicher-Zelle - der Spannung auf der Wort-Leitung, die mit einer anzusteuern den Speicher-Zelle verbunden ist, auf eine Ansteuer-Spannung.

130014/1302

3035260

6. Speicher nach Anspruch 1,
dadurch gekennzeichnet,

- daß der Treiber (10) aufweist:
 - einen Impuls-Erzeuger für die Nichtansteuer-Spannung vor dem Ansteuern der Speicher-Zelle (MC) und die Ansteuer-Spannung bei Ansteuern der Speicher-Zelle,
 - einen Verbindungs-Feldeffekt-Transistor (Q_{46}) zum Verbinden jeder Wort-Leitung (W_0) mit dem Impuls-Erzeuger, und
 - einen Decodierer (20, 20A),
 - der an das Gate des Verbindungs-Feldeffekt-Transistors (Q_{46}) angeschlossen ist, um zu erzeugen:
 - vor Speicher-Zellen-Ansteuerung
 - eine Spannung zum Einschalten des Verbindungs-Feldeffekt-Transistors,
 - bei Speicher-Zellen-Ansteuerung
 - eine Spannung, die an das Gate des Verbindungs-Feldeffekt-Transistors entsprechend einer anzusteuernenden Wort-Leitung anlegbar ist, um dadurch den Feldeffekt-Transistor einzuschalten, und
 - eine Spannung, die an die Gates der Verbindungs-Feldeffekt-Transistoren entsprechend den Wort-Leitungen, ausgenommen die anzusteuernende Wort-Leitung, anlegbar ist, um dadurch die Transistoren einzuschalten

(Fig. 1, 2).

130014/1302

7. Speicher nach Anspruch 6,
dadurch gekennzeichnet,

- daß der Verbindungs-Feldeffekt-Transistor (Q_{46})
 - an seinem Gate mit einem anderen Feldeffekt-Transistor (Q_{44})
versehen ist, von dem
 - die Drain mit dem Gate des Verbindungs-Feldeffekt-Transistors verbunden ist,
 - die Source mit einer Spannung zum Einschalten des Verbindungs-Feldeffekt-Transistors beaufschlagt ist, und
 - das Gate mit der Wort-Leitung verbunden ist, und
 - wobei der Feldeffekt-Transistor leitend wird, wenn der Impuls vom Impuls-Erzeuger sich von der Nichtansteuer-Spannung in die Ansteuer-Spannung ändert

(Fig. 2).

8. Speicher nach Anspruch 5,
dadurch gekennzeichnet,

- daß der Treiber (10) aufweist:
 - eine Lade-Einrichtung zum Aufladen jeder Wort-Leitung auf die Nichtansteuer-Spannung,
 - einen Entlade-Feldeffekt-Transistor zwischen jeder Wort-Leitung und einer Ansteuer-Spannungs-Quelle, und
 - einen Decodierer, der mit dem Gate des Entlade-Feldeffekt-Transistors verbunden ist, um eine Spannung anzulegen und den Entlade-Feldeffekt-Transistor, der mit der anzusteuern- den Wort-Leitung verbunden ist, einzuschalten.

9. Speicher nach Anspruch 5,
dadurch gekennzeichnet,

- daß die Entlade-Einrichtung aufweist:
 - einen Entlade-Feldeffekt-Transistor, der
 - an jedem Paar von benachbarten Wort-Leitungen vorgesehen und
 - mit der Ansteuer-Spannung verbunden ist, um diese zu entladen,
 - einen Verbindungs-Feldeffekt-Transistor
 - zum Verbinden des Entlade-Feldeffekt-Transistors mit jedem Paar von benachbarten Wort-Leitungen, und
- eine Einrichtung zum Einschalten des Entlade-Feldeffekt-Transistors und des Verbindungs-Feldeffekt-Transistors, der mit der anzustuernden Wort-Leitung verbunden ist.

10. Speicher nach Anspruch 9,
dadurch gekennzeichnet,

- daß die Daten-Leitungen umfassen:
 - mehrere Paare von Daten-Leitungen, die eng benachbart zueinander parallel verlaufen,
- daß die Speicher-Zelle
 - an jeder von beiden Schnittstellen zwischen jedem Daten-Leitungs-Paar und jeder Wort-Leitung vorgesehen ist, und
- daß der Verbindungs-Feldeffekt-Transistor
 - an seinem Gate mit einer Einrichtung zum Anlegen der Ansteuer-Spannung nach Ansteuern der Wort-Leitung versehen ist.

11. Speicher nach Anspruch 1 oder 2,
gekennzeichnet durch
- ein Halbleiter-Substrat (51) eines ersten Leitfähigkeits-Typs und
 - einen Wannen-Bereich (52) eines zweiten Leitfähigkeits-Typs,
 - der im Substrat (51) vorgesehen ist und
 - in dem die Speicher-Zelle (MC) ausgebildet ist
- (Fig. 1, 7).
12. Speicher nach Anspruch 10,
gekennzeichnet durch
- eine Einrichtung (80) zum Anlegen einer bestimmten Vorspannung (V_w) an den Wannen-Bereich (52),
 - so daß eine Spannung abgegeben wird, die viel höher als die dritte Spannung (ϕ_p) ist, die an die zweite Elektrode des Feldeffekt-Transistors (Q_4) anzulegen ist
- (Fig. 7, 8).
13. Speicher nach Anspruch 11,
gekennzeichnet durch
- eine Schottky-Diode (67),
 - die im Wannen-Bereich (52) ausgebildet ist und
 - eine Metall-Elektrode (66), die
 - nahe dem Wannen-Bereich (52) angeordnet und
 - mit der dritten Spannung (ϕ_p) beaufschlagt ist
- (Fig. 7).

HITACHI, LTD.
5-1, Marunouchi 1-chome, Chiyoda-ku,
Tokyo, Japan

Dynamischer monolithischer Speicher

Die Erfindung betrifft einen Halbleiter-Speicher mit Hochgeschwindigkeits-Betrieb, nämlich einen dynamischen monolithischen Speicher, insbesondere von Komplementär-Bauweise mit einem N-Kanal-Feldeffekt-Transistor und einem P-Kanal-Feldeffekt-Transistor.

Es ist bereits ein dynamischer Speicher entwickelt worden, dessen Speicher-Zellen jeweils einen einzigen (einzelnen) N-Kanal-Metall-oxid-Feldeffekt-Transistor (im folgenden NMOS genannt) und einen Kondensator aufweisen. Dieser Speicher ist jedoch insofern nachteilig, als er viel Zeit zum Einlesen von Information aus einer Speicher-Zelle zu einer Daten-Leitung benötigt, da die Daten-Leitung mit der Drain-Elektrode eines NMOS innerhalb einer Speicher-Zelle verbunden ist.

D.h., wenn eine Speicher-Zelle angesteuert wird, wird die Spannung an der Kapazität durch Einwirkung der Spannung auf der Daten-Leitung erhöht. Auf diese Weise wird im NMOS innerhalb der Zelle die Spannung zwischen der Source, die mit einem Anschluß

3035260

dieser Kapazität verbunden ist, und dem Gate, das mit einer Wort-Leitung verbunden ist, nur langsam erhöht, wenn die Spannung an der Wort-Leitung ansteigt. Somit ist wegen der geringen Zunahme des Leitwerts des NMOS eine längere Zeit erforderlich, um die Information in der Zelle vollständig zur Daten-Leitung auszulesen. Dadurch ist auch eine Verzögerung des Betriebs von nachfolgenden Lese-Verstärkern bedingt, so daß eine längere Zeit vergeht, bis die Information in der Speicher-Zelle von der externen Schaltung genutzt werden kann.

Dieses Problem tritt auch beim P-Kanal-Metalloxid-Feldeffekt-Transistor (im folgenden PMOS genannt) auf.

Zum Stand der Technik werden die folgenden Veröffentlichungen genannt:

JP-OS 54987/78, ausgegeben am 18. Mai 1978;
US-PS 4 151 610, ausgegeben am 24. April 1979;
JP-OS 107278/79; und
US-PS 4 044 340, ausgegeben am 30. August 1977.

Demgegenüber ist es Aufgabe der Erfindung, einen dynamischen monolithischen Speicher mit hoher Lesegeschwindigkeit zu schaffen.

Die erfindungsgemäße Lösung dieser Aufgabe besteht darin, daß ein Feldeffekt-Transistor zum Anschluß an eine Informations-Speicher-Kapazität und eine Daten-Leitung vorgesehen ist, wobei von ihm die Drain- und die Source-Elektrode mit der Kapazität bzw. der Daten-Leitung verbunden sind.

Der erfindungsgemäße dynamische monolithische Speicher besitzt insbesondere eine Anzahl Speicher-Zellen, deren jede eine Kapazität und einen Schalt-Feldeffekt-Transistor aufweist, von dem die Source- und die Drain-Elektrode mit einer Daten-Leitung bzw. der Kapazität verbunden sind. Bei Lesen einer Speicher-Zelle

130014/1302

wird der Transistor eingeschaltet, wenn die Differenz zwischen der Spannung an der Daten-Leitung und der Spannung an der Wort-Leitung, angelegt an eine Gate-Elektrode des Transistors, eine Schwellenspannung des Transistors überschreitet.

Anhand der Zeichnung wird die Erfindung näher erläutert. Es zeigen:

- Fig. 1 schematisch das Schaltbild eines ersten Ausführungsbeispiels des erfindungsgemäßen dynamischen Speichers;
- Fig. 2 ein genaueres Schaltbild des Decodierers und des Treibers des ersten Ausführungsbeispiels;
- Fig. 3 ein Signal-Zeit-Diagramm zur Erläuterung des Betriebs des Speichers nach dem ersten Ausführungsbeispiel;
- Fig. 4 schematisch das Schaltbild des Treibers und des Decodierers eines zweiten Ausführungsbeispiels des dynamischen Speichers gemäß der Erfindung;
- Fig. 5 schematisch das Schaltbild eines dritten Ausführungsbeispiels des dynamischen Speichers gemäß der Erfindung;
- Fig. 6 ein Signal-Zeit-Diagramm zur Erläuterung des Betriebs des vierten Ausführungsbeispiels gemäß der Erfindung;
- Fig. 7 eine Schnittansicht des Speichers gemäß der Erfindung; und
- Fig. 8 das Schaltbild eines Wannen-Vorspannungs-Erzeugers für den Speicher gemäß der Erfindung.

3035260

Fig. 1 zeigt ein erstes Ausführungsbeispiel gemäß der Erfindung.

In Fig. 1 sind zunächst zu sehen ein Paar Daten-Leitungen D_0 und \bar{D}_0 , die mit einem Vor-Verstärker PA verbunden sind. Die Daten-Leitung D_0 wird von 64 Wort-Leitungen $W_0 - W_{63}$ zum Ansteuern von Speicher-Zellen und einer Wort-Leitung W_D zum Ansteuern einer Pseudo(Blind, Schein)-Zelle geschnitten, während die Daten-Leitung \bar{D}_0 von 64 Wort-Leitungen $\bar{W}_0 - \bar{W}_{63}$ zum Ansteuern der Speicher-Zellen und einer Wortleitung \bar{W}_D zum Ansteuern der Pseudo-Zelle geschnitten wird. An den Schnittstellen zwischen den Wort-Leitungen $W_0 - W_{63}$ und der Daten-Leitung W_0 sowie zwischen den Wort-Leitungen $\bar{W}_0 - \bar{W}_{63}$ und der Daten-Leitung \bar{D}_0 sind Speicher-Zellen MC vorgesehen, während an den Schnittstellen zwischen der Wort-Leitung W_D für die Pseudo-Zelle und der Daten-Leitung D_0 sowie zwischen der Wort-Leitung \bar{W}_D für die Pseudo-Zelle und der Daten-Leitung \bar{D}_0 Pseudo-Zellen DMC vorhanden sind. Jede Speicher-Zelle MC besteht aus einem PMOS Q_4 und einer Kapazität C_4 , die mit der Drain des PMOS Q_4 verbunden ist. Der PMOS Q_4 hat sein Gate an die zugehörige Wort-Leitung und seine Source an die zugehörige Daten-Leitung angeschlossen. Andererseits besteht jede Pseudo-Zelle DMC aus einem PMOS Q_6 , einer Kapazität C_6 , die an die Drain des PMOS Q_6 angeschlossen ist, und einem PMOS Q_8 , der zwischen die Drain des PMOS Q_6 und Erde geschaltet ist, um die Kapazität C_6 zu entladen. Die Kapazität C_6 besitzt normalerweise den halben Kapazitätswert der Kapazität C_4 .

Alle in diesem Ausführungsbeispiel verwendeten NMOS's und PMOS's sind vom Anreicherungs-Typ.

Der Speicher in Fig. 1 besitzt tatsächlich z. B. 64 Paare von Daten-Leitungen, jedoch ist zur Vereinfachung der Zeichnung nur ein einziges Paar von Daten-Leitungen D_0 und \bar{D}_0 in Fig. 1 abgebildet. Jedes Paare Daten-Leitungen ist mit gemeinsamen Daten-Leitungen D_c und \bar{D}_c über PMOS's Q_{14} bzw. \bar{Q}_{14} verbunden.

130014/1302

3035260

Source und Drain der PMOS'S Q_{14} und \bar{Q}_{14} sind mit den gemeinsamen Daten-Leitungen D_C , \bar{D}_C bzw. den Daten-Leitungen D_0 , \bar{D}_0 verbunden. An die gemeinsamen Daten-Leitungen D_C und \bar{D}_C sind ein (nicht gezeigter) Haupt-Verstärker zum Verstärken von Spannungs-Differenzen dazwischen angeschaltet, wie an sich bekannt ist. Bei Ansteuerung einer Speicher-Zelle spricht ein Decodierer 20 auf 14 Adreß-Signale $a_0, a_1, \dots, a_6, \bar{a}_0, \bar{a}_1, \dots, \bar{a}_6$ an, die über Leitungen 22 zugeführt werden, um einen Wort-Leitungen-Treiber 10 zu steuern, um wahlweise zu erregen eine Wort-Leitung, mit der eine anzusteuernde Speicher-Zelle verbunden ist, z. B. die Wort-Leitung W_0 , und wahlweise zu treiben die Wort-Leitung \bar{W}_D für die Pseudo-Zelle an der Schnittstelle mit der Daten-Leitung \bar{D}_0 , um ein Paar mit der Daten-Leitung D_0 zu bilden, an der die anzusteuernde Speicher-Zelle angeschlossen ist. Die Adreß-Signale $\bar{a}_0, \bar{a}_1, \dots, \bar{a}_6$ sind die Komplemente der Adreß-Signale a_0, a_1, \dots, a_6 .

Fig. 2 zeigt den Decodierer 20, einen Treiber 10_{01} zum Beaufschlagen der Wort-Leitungen W_0 und W_1 und einen Treiber $\bar{10}_D$ zum Beaufschlagen der Wort-Leitung \bar{W}_D für die Pseudo-Zelle. Im Decodierer 20 sind - wie abgebildet - vorgesehen nur ein erster Teil-Decodierer 20A zum Ansteuern eines Paares von Wort-Leitungen W_0 und W_1 , ein zweiter Teil-Decodierer 20B zum Ansteuern der Pseudo-Wort-Leitung \bar{W}_D und ein dritter Teil-Decodierer 20C zum Ansteuern eines Gegenstücks des Paares von Wort-Leitungen, die vom ersten Teil-Decodierer 20A angesteuert sind. Die ersten Teil-Decodierer zum Ansteuern der Wort-Leitungen für andere Speicher-Zellen und der zweite Teil-Decodierer zum Ansteuern der Wort-Leitung \bar{W}_D für die Pseudo-Zelle sind (zur Vereinfachung der Zeichnung) nicht abgebildet. In diesem Ausführungsbeispiel sind die ersten Teil-Decodierer zum Ansteuern der Wort-Leitungen $W_0 - W_{63}$ und $\bar{W}_0 - \bar{W}_{63}$ für die Speicher-Zellen entsprechend zwei benachbarten Wort-Leitungen zugeordnet, und sie haben den gleichen Aufbau wie der abgebildete Teil-Decodierer 20A bis auf andere Adreß-Signale am Eingang.

130014/1302

3035260

D.h., jeder Teil-Decodierer 20A od. dgl. besitzt sechs NMOS $Q_{23} - Q_{28}$, in die sechs Adreß-Signale einzuspeisen sind, nämlich a_1 oder \bar{a}_1 , a_2 oder \bar{a}_2 , ..., a_6 oder \bar{a}_6 .

Wenn diese Adreß-Signale sämtlich auf niedrigem Pegel liegen, werden die Wort-Leitungen, die mit den ersten Teil-Decodierern 20A od. dgl. verbunden sind, angesteuert. Z. B. sei der erste Teil-Decodierer 20A zum Ansteuern der Wort-Leitungen W_0 und W_1 mit den Adreß-Signalen a_1 , a_2 , ..., a_6 wie abgebildet beaufschlagt. Andererseits, wird z. B. der erste Teil-Decodierer (nicht gezeigt) zum Ansteuern der Wort-Leitungen W_2 und W_3 (nicht gezeigt) mit \bar{a}_1 , a_2 , ..., a_6 beaufschlagt.

Ein Paar benachbarter Wort-Leitungen wird zuerst durch einen entsprechenden ersten Teil-Decodierer angesteuert, und ein Gegenstück des angesteuerten Paares von Wort-Leitungen wird von Ausgangs-Leitungen 12A und 12B der NMOS's $Q_{20} - \bar{Q}_{20}$ im dritten Teil-Decodierer 20C angesteuert. Auf diese Weise wird eine auszuwählende Wort-Leitung angesteuert. Die Leitungen 12A und 12B sind gemeinsam mit mehreren Treibern für Speicher-Zellen verbunden.

Der zweite Teil-Decodierer 20B hat einen NMOS Q_{32} , dem nur das Adreß-Signal a_6 zugeführt wird, so daß die Wort-Leitung W_D für die Pseudo-Zelle angesteuert wird, wenn das Adreß-Signal a_6 auf niedrigem Pegel liegt. Ähnlich ist der zweite Teil-Decodierer (nicht gezeigt) zum Ansteuern der Wort-Leitung W_D aufgebaut, um die Wort-Leitung W_D für die Pseudo-Zelle anzusteuern, wenn das Adreß-Signal \bar{a}_6 auf niedrigem Pegel liegt.

Der Treiber 10_{01} besteht aus einem Verriegelungs-Glied (selbsthaltenden Glied) 30, NMOS's Q_{48} und Q_{54} , die mit den Wort-Leitungen W_0 bzw. W_1 verbunden sind, und NMOS Q_{46} und PMOS Q_{44} , die gemeinsam mit den NMOS's Q_{48} und Q_{54} verbunden sind. Die NMOS's Q_{48} und Q_{54} werden durch die Spannungen auf den Leitungen 12A und 12B gesteuert. Die anderen Wort-Leitungen $W_3 - W_{63}$ und $\bar{W}_0 - \bar{W}_{63}$ besitzen ebenfalls die Verriegelungs-Glie-

130014/1302

der 30, die NMOS's Q_{46} , Q_{48} und Q_{54} sowie den PMOS Q_{44} (sämtlich nicht gezeigt). Der Treiber $\overline{10}_D$ hat keine NMOS's Q_{48} und Q_{54} , worin aber der einzige Unterschied zum Treiber 10_{01} besteht. Der (nicht gezeigte) Treiber zum Ansteuern der Wort-Leitung W_D entspricht ebenfalls völlig dem Treiber $\overline{10}_D$. Der MOS Q_{46} wird an seiner Source mit einem Impuls $\overline{\phi}_x$ beaufschlagt (vgl. auch Fig. 3.), der von hohem Pegel auf niedrigen Pegel abfällt, und an seinem Gate mit einem Ansteuer-Ausgangssignal vom Teil-Decodierer 20A oder 20B. Die Drain des NMOS Q_{46} , angeschlossen an die Wort-Leitung (W_0 , usw.), ist mit der Source der NMOS's Q_{48} und Q_{54} verbunden. Die Drain des NMOS Q_{46} , angeschlossen an die Pseudo-Wort-Leitung (\overline{W}_D usw.), ist direkt mit der Pseudo-Wort-Leitung (\overline{W}_D usw.) verbunden.

Der Betrieb der Schaltungen von Fig. 1 und Fig. 2 sei jetzt anhand des Signal-Zeit-Diagramms von Fig. 3 näher erläutert.

Ein Vorauflade-Signal ϕ_p mit hohem Pegel gemäß Fig. 3 (a) ist an den NMOS's Q_2 , \overline{Q}_2 , Q_3 sowie \overline{Q}_3 angelegt, so daß die Versorgungsspannung V_{cc} (5 V), die an deren Drain anliegt, die Daten-Leitungen D_0 und \overline{D}_0 sowie die gemeinsamen Daten-Leitungen D_c und \overline{D}_c vorauflädt. Daher wird das Signal ϕ_p mit hohem Pegel so bemessen, daß es größer als die Spannung V_{cc} um die Schwellenspannung der NMOS's Q_2 , \overline{Q}_2 , Q_3 und \overline{Q}_3 ist. Ferner wird das Vorauflade-Signal ϕ_p am NMOS Q_{53} der Verriegelungsschaltung 30 angelegt, die mit jeder Wort-Leitung verbunden ist, und dadurch eingeschaltet, um das Gate des PMOS Q_{50} und die Drain des PMOS Q_{52} auf 0 V zu bringen. Infolgedessen werden der PMOS Q_{50} eingeschaltet und der PMOS Q_{52} ausgeschaltet. Damit ist jede Wort-Leitung voraufgeladen und bei der Spannung V_{cc} verriegelt. Andererseits wird das Signal $\overline{\phi}_p$, in das das Signal ϕ_p invertiert worden ist, am PMOS Q_8 in der Pseudo-Zelle DMC über die Pseudo-Zellen-Vorauflade-Leitungen DPL und \overline{DPL} angelegt, um ihn einzuschalten und so die Kapazität C_6 zur Speicherung niedriger Spannung (0 V) zu veranlassen.

Das Signal ϕ_p schaltet den NMOS Q_{22} im ersten und im zweiten Teil-Decodierer 20A und 20B ein, so daß die Leitungen 12C und 12D auf die Spannung V_{cc} voraufgeladen und die Gates der Wort-Leitungs-beaufschlagenden Transistoren Q_{46} auf die Spannung V_{cc} kommen, wobei die NMOS's Q_{46} eingeschaltet gehalten werden. Ferner bewirkt das Signal ϕ_p ein Einschalten der NMOS's Q_{40} und Q_{42} im Treiber 10_{01} , so daß die NMOS's Q_{48} und Q_{54} über die Leitungen 12A und 12B leitend gemacht werden. Beim Voraufladen sind alle Adreß-Signale $a_0 - a_6$ und $\bar{a}_0 - \bar{a}_6$ auf niedrigem Pegel, so daß die NMOS's Q_{20} , \bar{Q}_{20} ausgeschaltet gehalten werden. Somit werden die NMOS's Q_{46} , Q_{48} und Q_{54} sämtlich eingeschaltet, wobei sie mit allen Wort-Leitungen verbunden werden. Zu diesem Zeitpunkt, vgl. F i g . 3 (c), wenn das Signal ϕ_p auf hohem Pegel liegt, hat das Wort-Leitungs-Ansteuer-Signal ϕ_x hohen Pegel. Daher werden in diesem Vorauflade-Zustand alle Wort-Leitungen auf der Spannung V_{cc} gehalten. Danach gehen die Signale ϕ_p und $\bar{\phi}_p$ in niedrigen bzw. hohen Pegel über. Auf diese Weise wird das Voraufladen beendet.

Anschließend wird ein Adreß-Signal dem Decodierer 20 gemäß F i g . 3 (b) zugeführt. Wenn dieses Signal jetzt zum Ansteuern der Wort-Leitung W_0 dient, befinden sich die Signale $a_0 - a_6$ sämtlich auf niedrigem Pegel und die Signale $\bar{a}_0 - \bar{a}_6$ sämtlich auf hohem Pegel. Daher bleiben die NMOS's $Q_{24} - Q_{28}$ im ersten Teil-Decodierer 20A für die Wort-Leitungen W_0 und W_1 sämtlich im ausgeschalteten Zustand, so daß die Ausgangs-Leitung 12C des ersten Teil-Decodierers 20A auf hohem Pegel gehalten wird und der NMOS Q_{46} , der mit den Wort-Leitungen W_0 , W_1 verbunden ist, eingeschaltet bleibt. Ähnlich wird die Ausgangs-Leitung 12D des zweiten Teil-Decodierers 20B auf hohem Pegel und der NMOS Q_{46} im Treiber 10_D eingeschaltet gehalten. Die ersten Teil-Decodierer, die mit den anderen Wort-Leitungen verbunden sind, werden mit Adreß-Signalen beaufschlagt, von denen mindestens ein Signal auf hohem Pegel liegt, und erzeugen so ein Signal von niedrigem Pegel, das den NMOS Q_{46} , der mit den zugeordneten Wort-Leitungen

3035260

verbunden ist, ausschaltet. Daher werden die Wort-Leitungen mit Ausnahme der Wort-Leitungen W_0 , W_1 und \bar{W}_D nicht mit dem Signal $\bar{\phi}_x$ beaufschlagt. Infolgedessen werden diese Wort-Leitungen auf der Spannung V_{CC} durch die Verriegelungsschaltung 30 gehalten.

Andererseits sprechen die NMOS's Q_{20} und \bar{Q}_{20} im zweiten Teil-Decodierer 20C auf die Adreß-Signale a_0 und \bar{a}_0 mit niedrigem und hohem Pegel an und werden so aus- bzw. eingeschaltet. Die Leitung 12A wird so auf hohem Pegel gehalten, während die Leitung 12B auf niedrigem Pegel über den NMOS \bar{Q}_{20} entladen wird. Entsprechend bleiben die NMOS's Q_{48} in allen Treibern eingeschaltet, während die NMOS's Q_{54} darin gesperrt werden. Daher wird das Signal $\bar{\phi}_x$ nicht länger an der Wort-Leitung W_1 angelegt.

Auf diese Weise werden nur die ausgewählte Wort-Leitung W_0 und die Pseudo-Wort-Leitung \bar{W}_D weiter mit dem Signal $\bar{\phi}_x$ beaufschlagt.

Wenn dann das Signal $\bar{\phi}_x$ einen Übergang zu seinem niedrigen Pegel - vgl. Fig. 3 (c) - erfährt, wird die Spannung ϕ_{W0} an der angesteuerten Wort-Leitung W_0 schnell auf den niedrigen Pegel über die NMOS's Q_{46} und Q_{48} im Treiber 10_{01} entladen, vgl. Fig. 3 (d). Die Spannung $\phi_{\bar{W}D}$ an der Pseudo-Wort-Leitung \bar{W}_D wird auch auf niedrigen Pegel über den NMOS Q_{46} im Treiber 10_D entladen.

Während des Entladens wird die Spannungsdifferenz zwischen der Source- und der Gate-Elektrode der NMOS's Q_{46} und Q_{48} erhöht, so daß das Entladen schnell ablaufen kann.

Zu diesem Zeitpunkt sind die Leitungen 14 und 12C kapazitiv gekoppelt, so daß beim Übergang des Signals $\bar{\phi}_x$ von hohem Pegel auf niedrigen Pegel die Spannung an der Ausgangsleitung 12C des ersten Teil-Decodierers 20A auf weniger als die Spannung V_{CC} verringert werden könnte. Diese Verringerung wird aber verhindert durch den PMOS Q_{44} , von dem verbunden sind: die Drain mit dem

130014/1302

Gate des NMOS Q_{46} , das Gate mit der Drain des NMOS Q_{46} und die Source mit der konstanten Spannung V_{CC} . Der PMOS Q_{44} für die nicht-angesteuerten Wort-Leitungen ist ausgeschaltet, da seine Gate-Spannung V_{CC} beträgt. Der PMOS Q_{44} für die angesteuerten Wort-Leitungen \bar{W}_0 und \bar{W}_D wird eingeschaltet, wenn ϕ_{W0} und $\phi_{\bar{W}D}$ auf niedrigem Pegel liegen, da die Gate-Spannung auf einen Wert beträchtlich unter der Source-Spannung V_{CC} verringert wird. Auf diese Weise wird die Gate-Spannung des NMOS Q_{46} auf V_{CC} gehalten. Die Leitungen 12A und 12B erfahren ebenfalls eine Pegel-Verringerung durch die kapazitive Kopplung, wenn ϕ_x kleiner wird, jedoch ist das Ausmaß dieser Verringerung klein, da der Kapazitätswert der Leitungen 12A und 12B groß ist. Daher braucht ein PMOS entsprechend dem PMOS Q_{44} nicht vorgesehen zu werden.

Wenn die Wort-Leitungen W_0 und \bar{W}_D entladen werden, so daß ϕ_{W0} und $\phi_{\bar{W}D}$ kleiner als

$$V_{CC} - |V_{TH}(Q_4)| \quad \text{bzw.} \quad V_{CC} - |V_{TH}(Q_6)|$$

werden, werden der PMOS Q_4 in der Speicher-Zelle MC und der PMOS Q_6 in der Pseudo-Zelle DMC eingeschaltet, wobei $V_{TH}(Q_4)$ und $V_{TH}(Q_6)$ den Schwellenwert der PMOS's Q_4 bzw. Q_6 bedeuten; ähnliche Abkürzungen werden im folgenden für den Schwellenwert von NMOS oder PMOS benutzt werden.

Wie noch erläutert werden wird, speichert die Kapazität C_4 0 V und V_{CC} V (Volt) und liegen die Daten-Leitungen D_0 , \bar{D}_0 auf V_{CC} , wenn sie voraufgeladen sind. Daher wird bei Beginn des Lesens der Speicher-Zelle das Potential der ersten Elektrode, die an die Daten-Leitung D_0 des PMOS Q_4 angeschlossen ist, niemals kleiner als das Potential der zweiten Elektrode des PMOS Q_4 , der an die Kapazität C_4 angeschlossen ist. Auf diese Weise wird der PMOS Q_4 mit seiner ersten und seiner zweiten Elektrode als Source bzw. Drain betrieben. Daraus ergibt sich, daß bei Änderung der Spannung ϕ_{W0} an der Wort-Leitung Q_0 der PMOS Q_4 einge-

schaltet (leitend) wird, falls die Differenz zwischen ϕ_{W0} und der Source-Spannung den Schwellenwert $|V_{TH}(Q_4)|$ überschreitet. Dies ist auch der Fall für den PMOS Q_6 , und gewöhnlich gilt $V_{TH}(Q_4) = V_{TH}(Q_6)$.

Wenn der PMOS Q_4 in der Speicher-Zelle MC eingeschaltet wird, wird das Potential der Daten-Leitung D_0 um einen Wert verringert, der der Spannung entspricht, die in der Kapazität C_4 in der Speicher-Zelle MC gespeichert ist. Diese Kapazitäts-Spannung ist gleich V_{cc} oder 0 V, je nachdem, ob "1" oder "0" an Information in der Speicher-Zelle MC gespeichert ist. Daher bleibt, vgl. Fig. 3 (e), wenn "1" aus der Speicher-Zelle MC ausgelesen wird, das Potential an der Daten-Leitung D_0 fast gleich V_{cc} , während bei Auslesen von "0" aus der Speicher-Zelle MC das Potential auf der Daten-Leitung etwas unter V_{cc} abfällt. Da andererseits 0 V in der Kapazität innerhalb der Speicher-Zelle DMC am Zeitpunkt des Vorauf ladens gespeichert wird, fällt das Potential auf der Daten-Leitung \bar{D}_0 etwas unter V_{cc} ab, wenn die Pseudo-Zelle gelesen wird. Damit das Potential auf der Daten-Leitung \bar{D}_0 auf einen Wert zwischen den beiden Werten eingestellt werden kann, die die Daten-Leitung D_0 einnehmen kann, ist die Kapazität C_6 so bemessen, daß sie ungefähr den halben Wert der Kapazität C_4 besitzt. Da die Werte der Kapazitäten C_4 und C_6 so gewählt sind, daß sie dem Kapazitätswert der Daten-Leitungen D_0 , \bar{D}_0 , dividiert durch einige 10 oder 100, entsprechen, ergibt sich, daß selbst bei Abweichung des Potentials der Daten-Leitungen D_0 , \bar{D}_0 von V_{cc} das Ausmaß der Änderung nur sehr klein ist, nämlich einige 10 bis einige 100 mV beträgt. Daher kann davon ausgegangen werden, daß die Spannungen der Daten-Leitungen D_0 , \bar{D}_0 ca. 5 V bleiben.

Wenn zwischenzeitlich das Signal ϕ_{W0} seinen Abfall auf 0 V fortsetzt, nimmt die Potentialdifferenz zwischen dem Potential des Gates PMOS Q_4 , der mit der Wort-Leitung W_0 verbunden ist, und dem Potential der Source, die mit der Daten-Leitung D_0 ver-

3035260

bunden ist, noch mehr zu, so daß der PMOS Q_4 seinen Leitwert erhöht. Entsprechend nimmt mit der Abnahme des Signals ϕ_{w0} der Leitwert des PMOS Q_4 zu. Auf diese Weise wird, wie oben beschrieben, Information schnell aus dem Speicher MC ausgelesen und der Daten-Leitung D_0 zugeführt. Ähnlich wird aus dem Speicher DMC schnell Information ausgelesen und der Daten-Leitung \bar{D}_0 zugeführt.

Die Spannungen auf den Leitungen D_0 und \bar{D}_0 werden somit schnell bei Lesen der Speicher-Zelle und der Pseudo-Zelle geändert. Die Potentiale auf den Daten-Leitungen D_0 und \bar{D}_0 werden differenziell durch den Vor-Verstärker PA der Flipflop-Konfiguration verstärkt, die aus NMOS's Q_{10} und \bar{Q}_{10} sowie PMOS's Q'_{10} und \bar{Q}'_{10} besteht. Gemäß Fig. 3 (f) steigt das Signal ϕ_s von niedrigem Pegel auf hohen Pegel an, so daß ein NMOS Q_{12} eingeschaltet wird, um den Vor-Verstärker PA zu erregen. Infolgedessen wird entweder das Paar NMOS Q_{10} und PMOS \bar{Q}'_{10} oder das Paar NMOS \bar{Q}_{10} und PMOS Q'_{10} eingeschaltet und das jeweils andere Paar ausgeschaltet, je nach Spannungsdifferenz zwischen den Daten-Leitungen D_0 und \bar{D}_0 . Z. B., vgl. Fig. 3 (e); wenn die Spannung auf der Daten-Leitung D_0 größer als die auf der Daten-Leitung \bar{D}_0 ist, werden der NMOS Q_{10} und der PMOS \bar{Q}'_{10} ausgeschaltet sowie der NMOS \bar{Q}_{10} und der Q'_{10} eingeschaltet. Daher wird die Spannung auf der Daten-Leitung D_0 schnell auf 0 V entladen, wie in Fig. 3 (e) zu sehen ist, während die Spannung auf der Daten-Leitung \bar{D}_0 unverändert bleibt. Anschließend wird, wenn das Signal ϕ_{y0} , das dem Gate der PMOS's Q_{14} und \bar{Q}_{14} für den zu lesenden Speicher zuzuführen ist, vom hohen zum niedrigen Pegel übergeht, um dadurch die PMOS's Q_{14} und \bar{Q}_{14} einzuschalten, die gemeinsame Daten-Leitung D_c auf hohem Pegel gehalten und die gemeinsame Daten-Leitung \bar{D}_c auf niedrigen Pegel gebracht, und zwar durch einen (nicht gezeigten) Haupt-Verstärker. Aus der Spannungsänderung der gemeinsamen Daten-Leitung D_c , \bar{D}_c ist die Information ersichtlich, die in der auszulesenden Speicher-Zelle gespeichert ist. Da die Daten-Leitungen D_0 und \bar{D}_0 sowie die gemeinsamen Daten-Leitungen D_c und

130014/1302

3035260

\bar{D}_C durch die PMOS's Q_{14} bzw. \bar{Q}_{14} verbunden sind, ändert sich die Spannung der gemeinsamen Leitungen schneller als bei Verwendung von NMOS's. D.h., wenn das Signal $\bar{\phi}_{y0}$ von hohem auf niedrigen Pegel übergeht, nimmt die Differenz zwischen der Source- und der Gate-Spannung der PMOS's Q_{14} , \bar{Q}_{14} zu, so daß der Leitwert der PMOS's Q_{14} , \bar{Q}_{14} abnimmt. Nach diesem Lese-Betrieb werden alle Signale in ihren Zustand zum Zeitpunkt des Vorauf ladens gemäß Fig. 3 zurückgebracht. Auf diese Weise wird der Lese-Betrieb beendet.

Zum Speichern von Information in den Speicher-Zellen des erfindungsgemäßen Speichers wird in folgenden Schritten vorgegangen: Nachdem Information aus der Speicher-Zelle, in die Information einzuschreiben ist, wie oben beschrieben, ausgelesen worden ist, wird das auf den Lese-Betrieb bezogene Signal auf den Pegel im Zeitpunkt des Vorauf ladens zurückgebracht, nachdem die gemeinsame Daten-Leitung D_C , \bar{D}_C mit V_{CC} oder 0 V entsprechend der einzuschreibenden Information von "1" oder "0" beaufschlagt worden ist. Die Spannung der Daten-Leitung D_0 , \bar{D}_0 wird in V_{CC} oder niedrigen Pegel je nach einzuschreibender Information geändert, und dann werden die mit dem Lese-Betrieb zusammenhängenden Signale sämtlich auf den Pegel zum Zeitpunkt des Vorauf ladens zurückgebracht. Auf diese Weise ist der Schreib-Betrieb beendet.

Fig. 4 zeigt ein zweites Ausführungsbeispiel der Erfindung in Bezug auf den Decodierer und den Treiber. Übereinstimmende Bauelemente von Fig. 2 und Fig. 4 sind mit den gleichen Bezugszeichen versehen. Der Decodierer 20 in Fig. 4 hat denselben Aufbau wie in Fig. 2, jedoch ist der Treiber $10'_{01}$ verschieden von dem in Fig. 2. Der Treiber $10'_{01}$ für die Wort-Leitung W_0 , W_1 ist über einen NMOS Q_{45} mit der Ausgangsleitung 12C des Decodierers 20A verbunden, und das Entladen der Wort-Leitung erfolgt durch die NMOS's Q_{47} , Q_{49} und das Signal ϕ_x . Das Signal ϕ_x geht vom niedrigen Pegel (0 V) zum hohen Pegel (V_{CC}) oder vom hohen Pegel (V_{CC}) zum niedrigen Pegel (0 V) zum

130014/1302

Zeitpunkt über, wenn das Signal ϕ_x gemäß Fig. 3 seinen Pegel von hoch in niedrig bzw. von niedrig in hoch ändert.

Die Wort-Leitungen und die Pseudo-Wort-Leitungen werden mit der Spannung V_{CC} durch dieselbe Verriegelungsschaltung 30 wie in Fig. 2 voraufgeladen.

Die Ausgangs-Leitungen 12A, 12B, 12C und 12D des Decodierers 20 werden auch auf V_{CC} voraufgeladen. Infolgedessen werden nach beendeten Voraufladen die Gates der NMOS's Q_{47} in allen Treibern über die NMOS's Q_{45} auf $V_{CC} - V_{TH}(Q_{45})$ geladen. Damit werden die NMOS's Q_{47} eingeschaltet, wenn das an die Quellen angelegte Signal ϕ_x gleich 0 V ist. Entsprechend liegt das Gate des NMOS Q_{49} , der mit der Drain der NMOS Q_{47} verbunden ist, auf 0 V, so daß der NMOS Q_{49} ausgeschaltet ist, während die NMOS's Q_{48} und Q_{54} eingeschaltet sind.

Wenn dann das Ausgangssignal des Decodierers 20 entsprechend den Adreß-Signalen sich ausbildet, wird die Ausgangsspannung der ersten und der zweiten Teil-Decodierer mit Ausnahme der Teil-Decodierer 20A und 20B für die angesteuerte Wort-Leitung, z. B. W_0 und \bar{W}_0 , 0 V, werden die NMOS's Q_{45} im Treiber, deren Quellen mit diesen Teil-Decodierern für nicht-angesteuerte Wort-Leitungen verbunden sind, eingeschaltet, und wird die Gate-Spannung der NMOS's Q_{47} für nicht-angesteuerte Wort-Leitungen auf 0 über die NMOS's Q_{45} , die eingeschaltet sind, und die NMOS's $Q_{24} - Q_{28}$, die eingeschaltet sind im Decodierer 20, entladen. Entsprechend werden die NMOS's Q_{47} , die mit den NMOS's Q_{45} für nicht-angesteuerte Wort-Leitungen verbunden sind, ausgeschaltet. Die NMOS Q_{47} für die angesteuerten Wort-Leitungen, z. B. W_0 und \bar{W}_0 , bleiben eingeschaltet. Die Spannung der Signal-Leitung 12B, die nicht für die anzusteuernde Wort-Leitung W_0 vorgesehen ist, wird auf 0 durch den Teil-Decodierer 20C verringert. Daher bleibt der NMOS Q_{48} für die Wort-Leitung W_0 eingeschaltet, während der NMOS Q_{44} für die Wort-Leitung W_1 ausgeschaltet ist.

Wenn das Signal ϕ_x den hohen Pegel (V_{CC}) annimmt, nachdem dieses Decodierer-Ausgangssignal sich gebildet hat, wird die Gate-Spannung des NMOS Q_{47} im Treiber $10'_{01}$, $\overline{10}'_D$ viel größer als die ursprüngliche Spannung $V_{CC} - V_{TH}(Q_{45})$, und zwar durch den sogenannten "bootstrap"-Effekt infolge der kapazitiven Kopplung der Signal-Leitung 14 mit dem Gate des NMOS Q_{47} , und wird der NMOS Q_{45} in diesen Treibern ausgeschaltet, während der NMOS Q_{47} eingeschaltet wird. Entsprechend wird der NMOS Q_{49} in diesen Treibern eingeschaltet.

Auf diese Weise wird die Spannung auf den angesteuerten Wort-Leitungen W_0 und \overline{W}_D , die mit der Source des NMOS Q_{49} verbunden sind, auf niedrigen Pegel (0 V) entladen. Die anderen Wort-Leitungen werden auf der Spannung V_{CC} durch die Verriegelungsschaltung 30 gehalten. Wie oben beschrieben, unterscheidet sich der Treiber $10'_{01}$ in Fig. 4 von dem in Fig. 2 darin, daß der Treiber $10'_{01}$ ausschließlich aus NMOS aufgebaut sein kann.

Außerdem ist es nicht notwendig, daß die Spannung auf der angesteuerten Wort-Leitung über die lange Leitung 14 mit großer Kapazität entladen wird.

Daher kann das Entladen auf der Wort-Leitung schneller als nach dem Ausführungsbeispiel von Fig. 2 vorgenommen werden.

Fig. 5 zeigt ein drittes Ausführungsbeispiel der Erfindung, bei der nur ein Paar Daten-Leitungen D_0 und \overline{D}_0 abgebildet ist, obwohl in Wirklichkeit mehrere Paare Daten-Leitungen vorhanden sind.

Der Speicher von Fig. 5, wie in der US-PS 4 044 340 beschrieben, ist dadurch charakterisiert, daß ein Paar Daten-Leitungen D_0 und \overline{D}_0 parallel und benachbart zueinander angeordnet ist, sowie die Speicher-Zelle und die Pseudo-Zelle sich nur an einer der beiden Schnittstellen zwischen jeder Wort-Leitung und jedem Paar Daten-Leitungen befinden.

3035260

In Fig. 5 haben die Speicher-Zelle MC, die Pseudo-Zelle PMC, der Vor-Verstärker PA, die gemeinsamen Daten-Leitungen D_c und \bar{D}_c , die Verriegelungsschaltung 30 und der Teil-Decodierer 20A denselben Aufbau wie in Fig. 1 und 2 und dieselbe Betriebsweise.

Der Speicher von Fig. 5 unterscheidet sich von dem von Fig. 1 und Fig. 2 darin, daß der Teil-Decodierer 20C' zusätzliche NMOS's Q_{21} und \bar{Q}_{21} im dritten Teil-Decodierer 20C von Fig. 2 besitzt, und der Decodierer zum Ansteuern der Pseudo-Zellen-Wort-Leitungen W_D und \bar{W}_D aus dem Teil-Decodierer 20C' und den NMOS's Q_{48} und Q_{54} besteht, also nicht den Decodierer 20B für die Pseudo-Zelle gemäß Fig. 2 besitzt. Der letztere Unterschied bedeutet, daß die Wort-Leitungen W_D und \bar{W}_D für die Pseudo-Wort-Leitung angesteuert werden, wenn die Adreß-Signale \bar{a}_0 bzw. a_0 auf niedrigem Pegel liegen. Dieser Unterschied bewirkt jedoch keinen Unterschied im Ansteuern der Pseudo-Zellen-Wort-Leitung gegenüber dem Speicher von Fig. 2. Im Speicher von Fig. 5 werden die Adreß-Signale a_0 und \bar{a}_0 zum Ansteuern der Wort-Leitung für die Pseudo-Zelle verwendet, so daß der Decodierer einfach wird.

Dieser erörterte Unterschied besteht hinsichtlich der Hauptschaltungen der Speicher von Fig. 5, 1 und 2. Dieser Unterschied ermöglicht eine ausreichende Verringerung der Niedrig-Pegel-Spannung, die in die Speicher-Zelle MC einzuschreiben ist, wenn Information in der Speicher-Zelle MC gespeichert ist.

In Fig. 5, wenn Information in der Speicher-Zelle gespeichert wird, werden Voraufladen und Decodieren genauso vorgenommen wie beim Speicher von Fig. 1, wobei die Spannung auf der angesteuerten Wort-Leitung, z. B. W_0 , von V_{cc} in 0 V geändert wird. Die Änderung dieser Wort-Leitungs-Spannung erlaubt das Lesen des Inhalts der Speicher-Zelle MC. Bei diesem Ausführungsbeispiel ist eine Besonderheit, daß bei Erregung des Vor-Verstärkers PA das dafür benutzte Signal ϕ_s ein Einschalten des NMOS Q_{21} , \bar{Q}_{21}

130014/1302

gestattet, um die Spannung auf der Signal-Leitung 12A, 12B auf 0 V konstant zu halten. Auf diese Weise wird der NMOS Q_{48} , der eingeschaltet ist, und dann mit der Wort-Leitung W_0 verbunden wird, ausgeschaltet, so daß die Wort-Leitung W_0 in ihrem Potential "schwebt" ("floatet").

Andererseits werden durch Einwirken des erregten Vor-Verstärkers PA die einen Gegenstücke aller Daten-Linien-Paare auf V_{cc} gehalten, während die anderen Gegenstücke 0 V werden. Die Wort-Leitung W_0 ist mit allen Daten-Leitungen durch eine Streukapazität C_0 , \bar{C}_0 gekoppelt. Wenn also die eine Hälfte aller Daten-Leitungen gleich 0 V wird, wird die Spannung an der Wort-Leitung W_0 auf eine negative Spannung durch diese kapazitive Kopplung verringert. Jedoch wird die Spannung auf der Wort-Leitung W_0 niemals kleiner als $-V_{TH}(Q_{48})$. Wenn sie auf diesen Wert verringert würde, würde der NMOS Q_{48} eingeschaltet werden, so daß der Strom des Signals ϕ_x bei 0 V zur Wort-Leitung W_0 fließen könnte.

Unter diesen Bedingungen wird Information in der Speicher-Zelle MC gespeichert, die sich an der Schnittstelle zwischen der Daten-Leitung D_0 und der Wort-Leitung W_0 befindet. Daraus ergibt sich, daß, wenn die Daten-Leitung D_0 auf 0 V liegt, die Spannung an der Kapazität C_4 in der Speicher-Zelle MC von der Differenz zwischen der Mindest-Spannung $-V_{TH}(Q_{48})$ auf der Wort-Leitung W_0 und der Schwellenspannung $V_{TH}(Q_4)$ des PMOS Q_4 in der Speicher-Zelle abhängt. D.h., für

$$V_{TH}(Q_{48}) \geq |V_{TH}(Q_4)|$$

zeigt die Kapazität C_4 im Speicher als eingeschrieben 0 V, während für

$$V_{TH}(Q_{48}) < |V_{TH}(Q_4)|$$

eine kleine positive Spannung

$$| V_{TH} (Q_4) | - V_{TH} (Q_{48})$$

eingeschrieben hat.

Wenn also die Werte von $V_{TH}(Q_4)$ und $V_{TH}(Q_{48})$ so bestimmt werden, daß sie diesem genannten Zustand entsprechen, z. B. -1,0 V bzw. 1,2 V oder -1,0 V bzw. 1,0 V, wird die in die Speicher-Zelle einzuschreibende Niedrig-Pegel-Spannung gleich 0 V. Entsprechend wird die Differenz zwischen der Hoch-Pegel-Spannung und der Niedrig-Pegel-Spannung, die in die Speicher-Zelle einzuschreiben ist, gleich V_{CC} (5 V). In den Speichern des ersten und des zweiten Ausführungsbeispiels wie beschrieben beträgt, da die Mindest-Spannung auf der Wort-Leitung 0 V ist, die in die Kapazität der Speicher-Zelle einzuschreibende Niedrig-Pegel-Spannung

$$| V_{TH} (Q_4) | .$$

Daher wird die Differenz zwischen der Hoch-Pegel-Spannung und der Niedrig-Pegel-Spannung, die in die Speicher-Zelle einzuschreiben ist, gleich ca. 4 V. Der Speicher von Fig. 5 kann eine größere Spannungsdifferenz speichern, um schnell zu lesen, Betriebsstörungen zu vermeiden und den Auffrisch-Zyklus zu verlängern.

Die obigen Ausführungsbeispiele verwenden PMOS's für die Speicher-Zellen und NMOS's oder NMOS's und PMOS's in den peripheren Schaltungen wie beschrieben. Erfindungsgemäß ist es aber auch möglich, NMOS's für die Speicher-Zellen und PMOS's oder PMOS's und NMOS's in den peripheren Schaltungen einzusetzen. D.h., in jedem der oben beschriebenen Ausführungsbeispiele können alle NMOS's ersetzt werden durch PMOS's, alle PMOS's durch NMOS's, das Erdpotential durch die Versorgungsspannung V_{CC} und die Spannung V_{CC} durch Erdpotential. Außerdem wird ein von niedrigem Pegel in hohen Pegel übergehender Impuls ersetzt durch einen Impuls, der von hohem Pegel in niedrigen Pegel übergeht. Daher

werden bei einem v i e r t e n Ausführungsbeispiel die Signale ϕ_8 , $\bar{\phi}_8$, die Adreß-Signale a_i und die Signale $\bar{\phi}_x$ und ϕ_s durch die Signale ersetzt, die ihren Pegel gemäß F i g . 6a , 6b , 6c b z w . 6f ändern. Der Betrieb eines derart aufgebauten Schalters ist leicht anhand von Fig. 6 ersichtlich. Bei diesem Ausführungsbeispiel werden die Daten-Leitungen D_0 und \bar{D}_0 durch das Vorauflade-Signal ϕ_p auf niedrigen Pegel voraufgeladen, und auch die Spannung auf der Wort-Leitung wird auf niedrigen Pegel aufgeladen. Angesteuerte Wort-Leitungen, z. B. W_0 und W_D , haben Spannungen ϕ_{W0} und ϕ_{WD} , die vom niedrigen Pegel auf den hohen Pegel ansteigen, wodurch Information aus der Speicher-Zelle gelesen wird. Infolgedessen bleibt die Daten-Leitung D_0 auf 0 V, worauf die Spannung auf V_{cc} durch den Vor-Verstärker erhöht wird, nachdem die Daten-Leitung D_0 ihre Spannung in einen Wert etwas über 0 V geändert hat.

Bei diesem Ausführungsbeispiel ist es auch möglich, die Geschwindigkeit, mit der Wort-Leitungen angesteuert werden, oder die Geschwindigkeit, mit der aus der Pseudo-Zelle gelesen wird, zu erhöhen, und zwar ähnlich wie beim ersten Ausführungsbeispiel beschrieben. Die Spannung zwischen der Source und dem Gate des PMOS im Treiber, der die Änderung der Spannung auf der angesteuerten Wort-Leitung bewirkt, wird nicht geändert, d.h. ist unabhängig von der Spannungsänderung auf der Wort-Leitung. Da die Source und die Drain des NMOS in der Speicher-Zelle mit der Daten-Leitung bzw. der Kapazität verbunden sind, wenn die Spannung auf der Daten-Leitung, die mit der auszulesenden Zelle verbunden ist, sich entsprechend der in der auszulesenden Zelle gespeicherten Information ändert, nimmt die Spannung zwischen der Source und dem Gate des NMOS in der Speicher-Zelle bei Anstieg der Spannung auf der Wort-Leitung zu.

F i g . 7 zeigt einen Querschnitt des Speichers des ersten bis dritten Ausführungsbeispiels gemäß der Erfindung. Ein P-leitendes Si-Substrat 51 besitzt einen spezifischen Widerstand ρ_{sub} von

ca. $40 \Omega \cdot \text{cm}$ und eine Dicke von $400 \mu\text{m}$. Auf diesem Substrat 51 ist eine N-leitende Wanne 52 mit einer Fremdstoff-Konzentration von ca. $10^{15} - 10^{16} \text{ cm}^{-3}$ und einer Tiefe von $3 - 6 \mu\text{m}$ vorgesehen, um darin Speicher-Zellen auszubilden. Der Speicher-Zellen-Abchnitt in der Substrat-Oberfläche oberhalb der N-Wanne 52 hat P^+ -Schichten 53 und 54 mit einer Fremdstoff-Konzentration, die größer als die der N-Wanne 52 ist, als Source- und Drain-Elektrode und ein Gate 55 aus einem guten Leiter wie polykristallinem Silizium, um einen Schalt-PMOS zu bilden. Außerdem hat der Speicher-Zellen-Anteil eine Gate-Elektrode 56, die auf Erdpotential vorgespannt ist, und eine Löcher-invertierte Schicht 57, um eine Kapazität dazwischen zu bilden, so daß eine Speicher-Zelle in Ein-Transistor-Bauweise entsteht. Obwohl mehrere derartige Ein-Transistor-Speicher-Zellen vorgesehen sind, ist der Einfachheit halber nur eine einzige Zelle gezeigt. Bei diesem Aufbau ist die Gate-Elektrode 55 an einer Kontakt-Stelle 50 mit einer Wort-Leitung 62 aus Aluminium verbunden. Ähnlich bildet die P-Diffusions-Schicht 53 einen Teil der Daten-Leitung der P-Diffusions-Schicht. Eine periphere Schaltung in der Oberfläche des P-Si-Substrats 51, wo sich nicht die N-Wanne 52 befindet, besitzt einen PMOS-Bereich und einen NMOS-Bereich und darin ausgebildet einen Decodierer, einen Treiber, einen Vor-Verstärker od. dgl. In Fig. 7 sind ein einzelner NMOS und ein einzelner PMOS abgebildet. Der NMOS ist im P-Substrat 51 vorgesehen, wobei N-Schichten 58 und 59 seine Source- und seine Drain-Elektrode bilden, während eine Gate-Elektrode 60 auf der Substrat-Schicht durch einen Isolierstoff 68 hindurch vorgesehen ist. Die Source 58 und die Drain 59 sind mit niederohmigen Elektroden-Werkstoffen 61 und 62 und das Gate 60 mit einem niederohmigen Elektroden-Werkstoff 63 verbunden. Der PMOS ist in einer N-Wanne 70 im P-Substrat 51 vorgesehen und besitzt P-Schichten 71 und 72 als Source bzw. Drain und eine Gate-Elektrode 73.

Der PMOS und der NMOS wie eben beschrieben sind zu einer komplementären MOS-Schaltung (CMOS) zusammengeschaltet.

Die Wanne 70 ist erforderlich, um mit einer Spannung beaufschlagt zu werden, die gleich der oder höher als die an der Source-Elektrode 71 anzulegende Spannung ist, jedoch ist hier eine P-Schicht 74 mit der Source-Elektrode 71 durch einen Leiter 75 aus Aluminium od. dgl. verbunden, so daß die Wanne 70 mit derselben Spannung wie die Source-Elektrode 71 beaufschlagt wird. An der N-Wanne 52 wird bei Betrieb der Schaltung eine Spannung V_W , die größer als die Spannung V_{CC} ist, über Elektroden 64 und eine N-Schicht 65 angelegt. Wenn der Speicher-Schaltung Leistung zugeführt wird, arbeiten eine Elektrode 66, an der V_{CC} angelegt wird, und eine Schottky-Diode 67, ausgebildet an der Grenzfläche zwischen der Elektrode 66 und der N-Wanne 52, zusammen, um das Potential der N-Wanne 52 bei zunehmender Source-Spannung V_{CC} verzögerungsfrei zu erhöhen. Infolgedessen steigert die P^+ -Schicht 53 des PNP-Transistors, der von der Diffusionsschicht 53, der Wanne 52 und dem Substrat 51 gebildet ist, schnell sein Potential auf einen Wert oberhalb des Potentials der N-Wanne 52, so daß ein stärkerer Stromfluß zwischen der P^+ -Schicht 53 und dem P-Substrat 51 verhindert wird, welcher Strom an sich durch die Vorwärts-Vorspannung des P^+N -Übergangs dazwischen verursacht wird. Zusätzlich wird bei Betrieb des Speichers die Spannung V_W bedeutend höher als V_{CC} bemessen, so daß der PNP-Transistor an einer Vorwärts-Vorspannung gehindert wird. Außerdem sind vorhanden eine Zwischenschicht-Isolierfilm 68 und ein Oxid-Isolier-Bereich 69. Am Substrat 51 wird -3 V angelegt.

Die Spannung V_W wird durch die Schaltung gemäß Fig. 8 erzeugt. Ein Oszillator 80 in Fig. 8 erzeugt eine Folge von Impulsen mit niedrigem und hohem Pegel von 0 bzw. V_{CC} V und speist diese in einen Gleichrichter ein, der aus einer Kapazität C_{60} sowie NMOS's Q_{60} und Q_{61} besteht. Der NMOS Q_{61} des Gleichrichters ist an seiner Drain mit V_{CC} beaufschlagt. Der NMOS Q_{60} erzeugt an seiner Source folgende Ausgangsspannung V_W :

3035260

$$V_W = 2V_{CC} - V_{TH}(Q_{60}) - V_{TH}(Q_{61}),$$

die viel höher als V_{CC} ist.

Bei der Konfiguration von Fig. 7 ist es möglich, die Diffusionsschichten 53 und 54 für Source und Drain der Speicher-Zelle wegzulassen, dafür aber eine Metall-Elektrode vorzusehen, um den Isolierfilm 68 auf der Diffusionsschicht 53 zur Oberfläche des Substrats 51 vorzusehen, von der Wort-Leitung 62 isoliert. In diesem Fall wird eine Schottky-Diode zwischen dieser Metall-Elektrode und dem Substrat 61 ausgebildet, wobei diese Metall-Elektrode mit der Daten-Leitung verbunden ist. Auf diese Weise fällt die Herstellung der Diffusionsschichten 53 und 54 weg.

Wie bereits gesagt, ist eine Speicher-Zelle in der Wanne 52 vorgesehen und ist der Übergang zwischen der Wanne 52 und dem Substrat 51 rückwärts-vorgespannt durch eine vorgegebene Spannung, so daß Elektronen und Löcher, die im Substrat 51 außerhalb der Wanne 52 durch Einwirken von α -Strahlen erzeugt werden, nicht in die Wanne 52 eindringen können. Daher wird die im Kapazitäts-Bereich der Speicher-Zelle gespeicherte Information niemals durch Elektronen und Löcher zerstört. Im obigen Ausführungsbeispiel ist der PMOS zur Ausbildung der peripheren Schaltung in der Wanne 70 vorgesehen, die zusätzlich zur Wanne 52 vorhanden ist.

Durch das gesonderte Vorsehen einer Wanne für die Speicher-Zelle und einer Wanne für die periphere Schaltung wird verhindert, daß beim Betrieb der peripheren Schaltung erzeugtes Rauschen in die Daten-Leitung des Speicher-Zellen-Anteils eingekoppelt wird. Wenn jedoch das so bedingte Rauschen verringert werden kann, kann der PMOS für die periphere Schaltung auch innerhalb der Wanne 52 für die Speicher-Zelle vorgesehen sein.

130014/1302

3035260

Der im obigen Ausführungsbeispiel verwendete Metalloxid-Feldeffekt-Transistor kann durch einen Übergangs-Feldeffekt-Transistor oder einen Feldeffekt-Transistor mit Schottky-Gate ersetzt werden.

Der dynamische Speicher gemäß der Erfindung verhindert also auch eine Zerstörung von Information durch einwirkende α -Strahlen, ganz abgesehen von der schnelleren Speicher-Ansteuerung.

130014/1302

FIG. 2

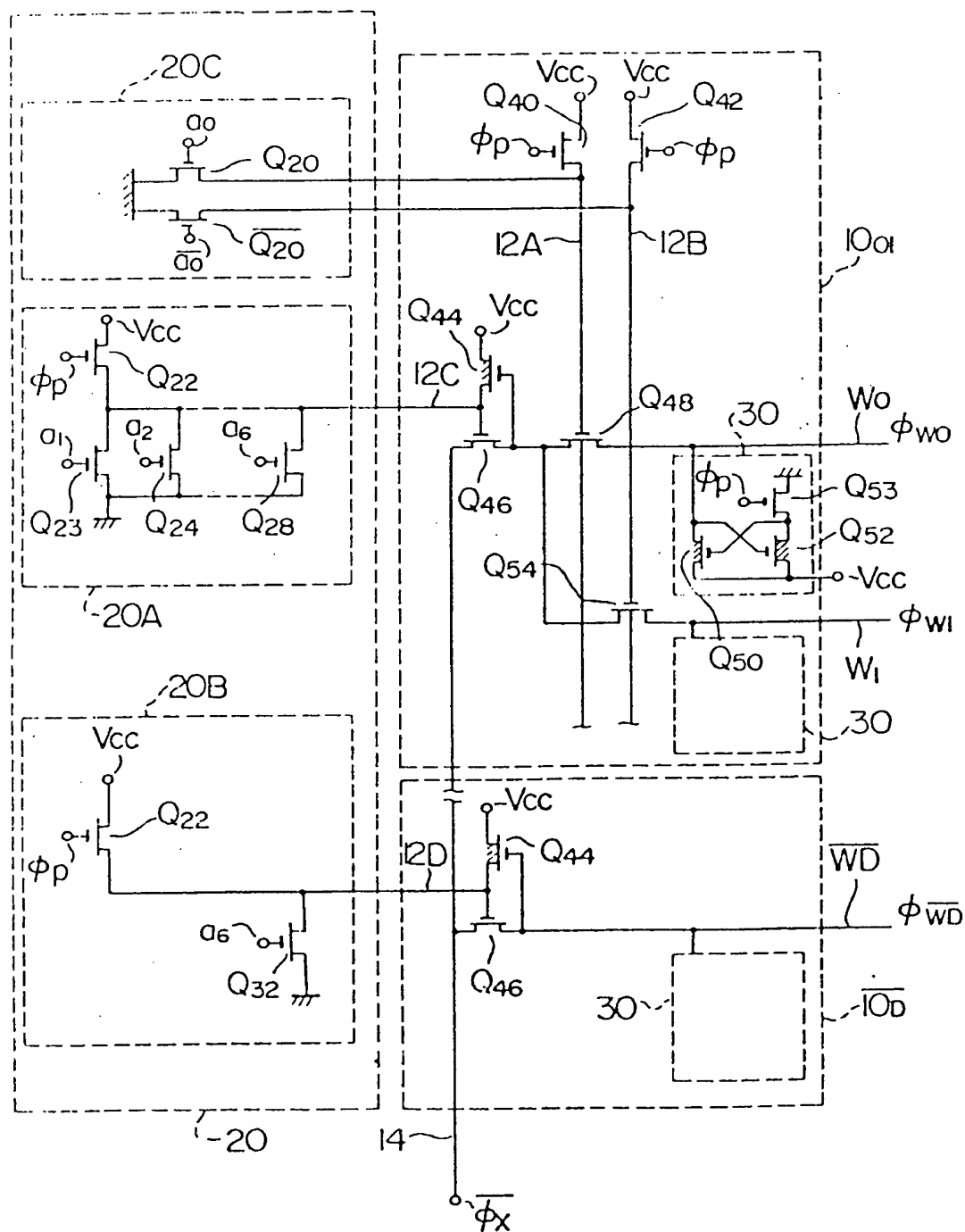


FIG. 3

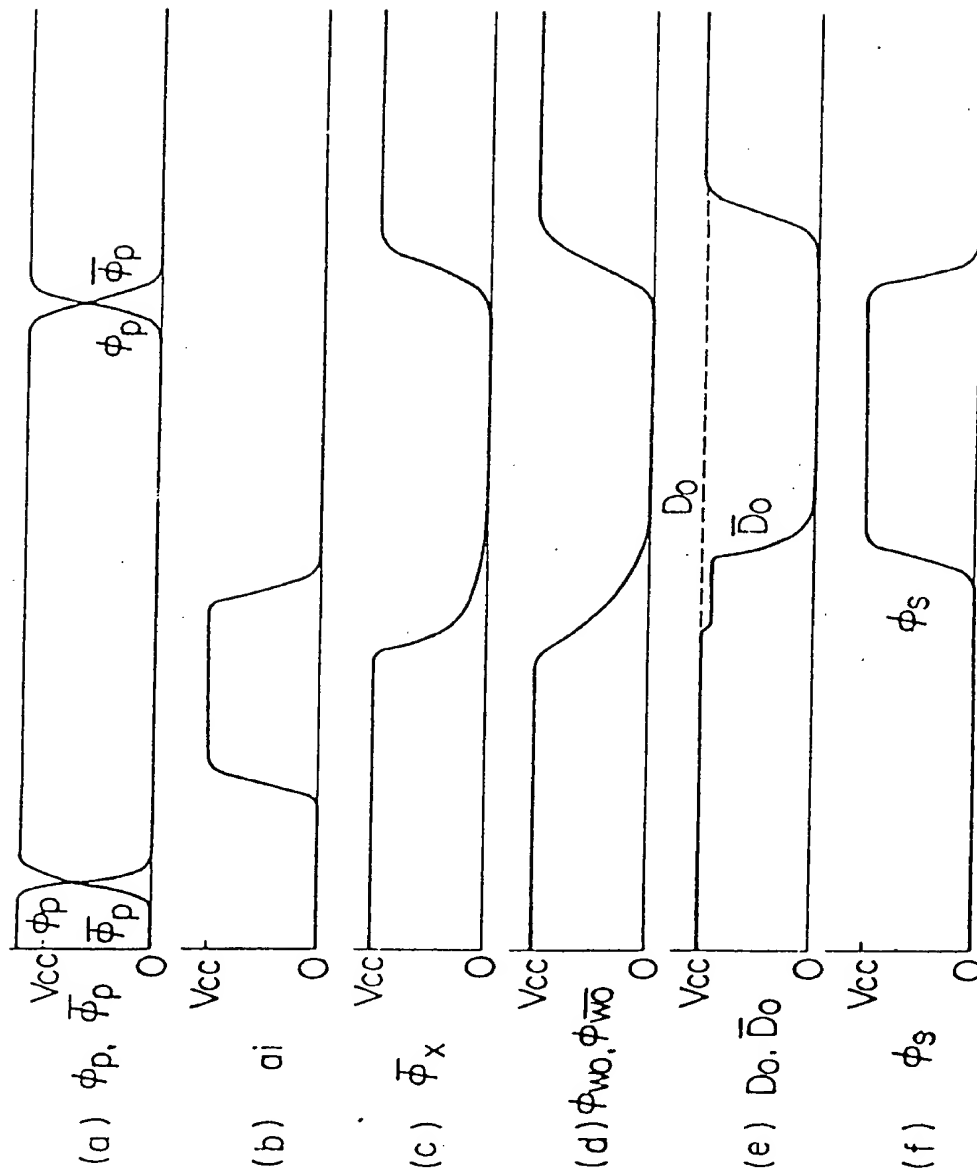


FIG. 4

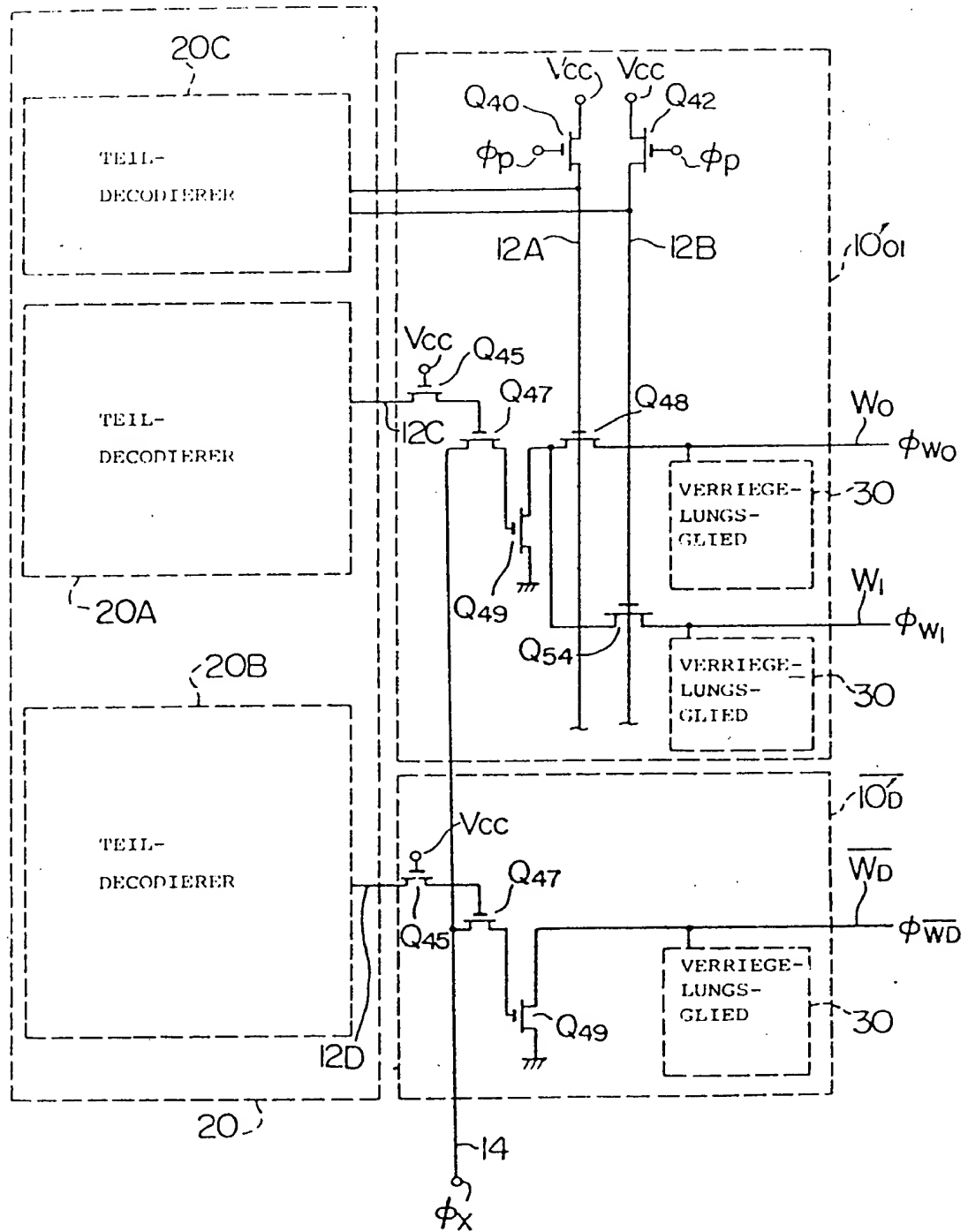


FIG. 5

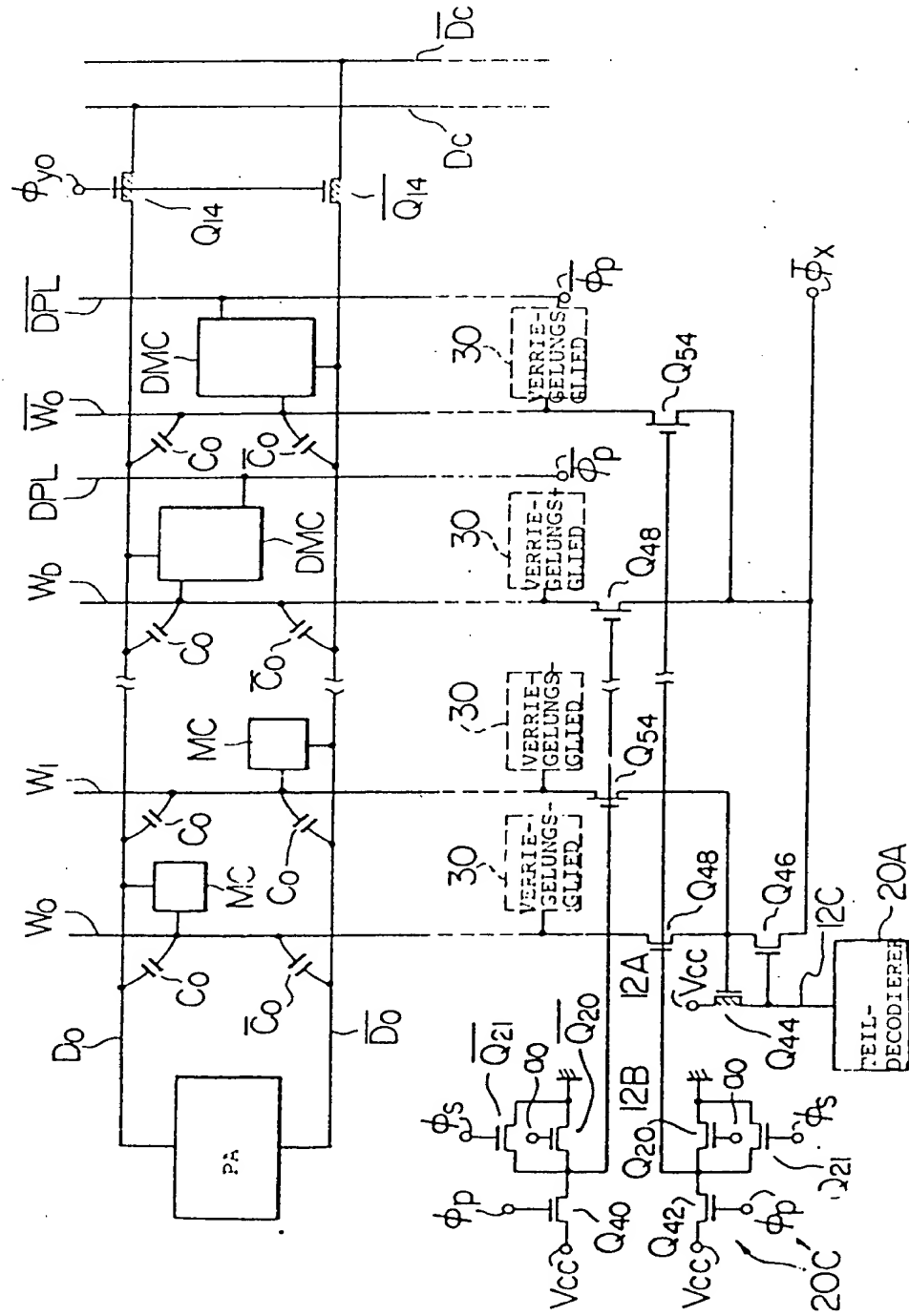
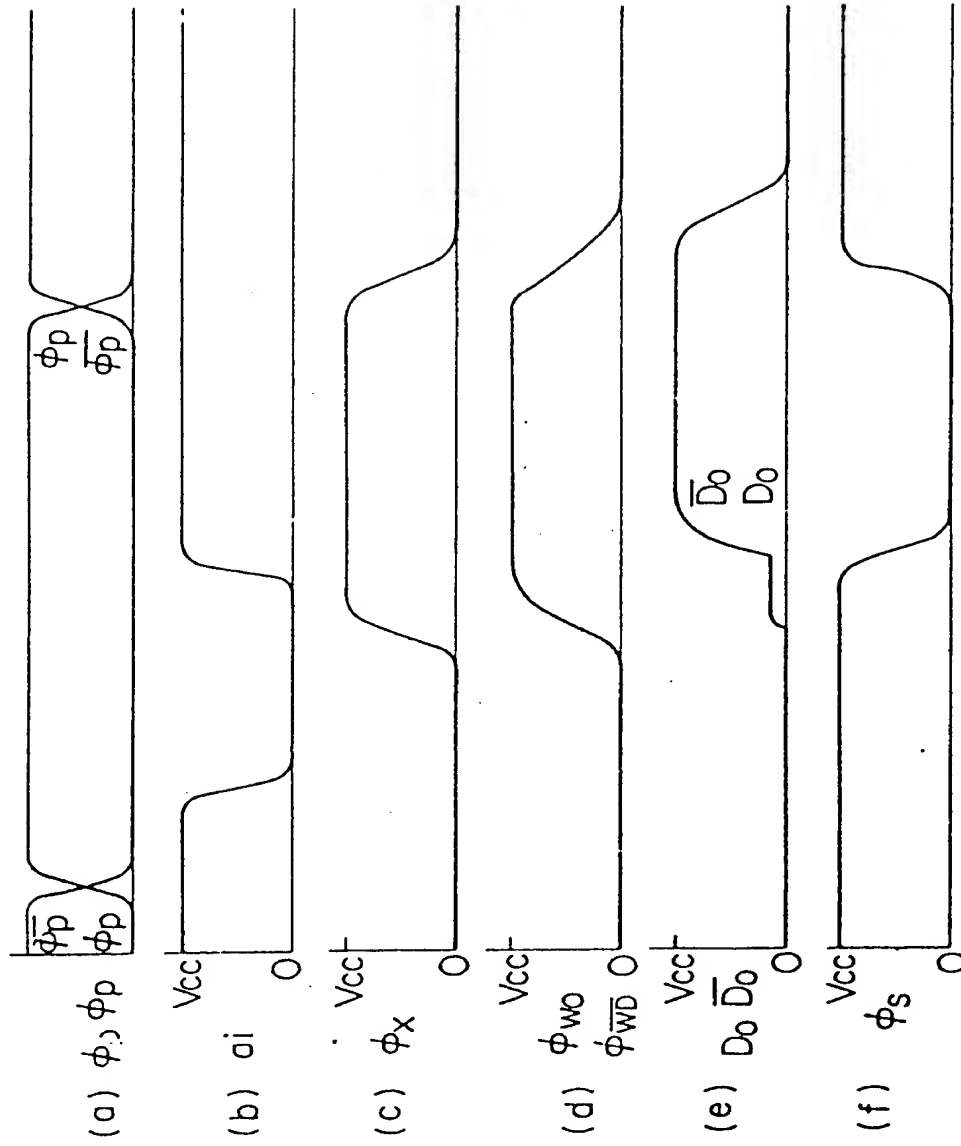
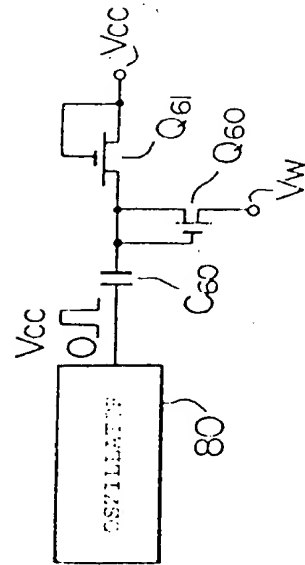


FIG. 6



உ-6-ஐ



30 35 260

FIG. 1

